

## (12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum  
Internationales Büro(43) Internationales Veröffentlichungsdatum  
23. September 2004 (23.09.2004)

PCT

(10) Internationale Veröffentlichungsnummer  
WO 2004/082144 A1(51) Internationale Patentklassifikation<sup>7</sup>: H03L 7/085, H03D 13/00

(21) Internationales Aktenzeichen: PCT/EP2004/001154

(22) Internationales Anmeldedatum:  
9. Februar 2004 (09.02.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:  
103 11 049.6 13. März 2003 (13.03.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): ROHDE &amp; SCHWARZ GMBH &amp; CO. KG [DE/DE]; Mühlidorfstrasse 15, 81671 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): SCHMIDT, Jürgen [DE/DE]; Carl-Orff-Weg 3, 85221 Dachau (DE).

(74) Anwälte: KÖRFER, Thomas usw.; Mitscherlich &amp; Partner, Postfach 33 06 09, 80066 München (DE).

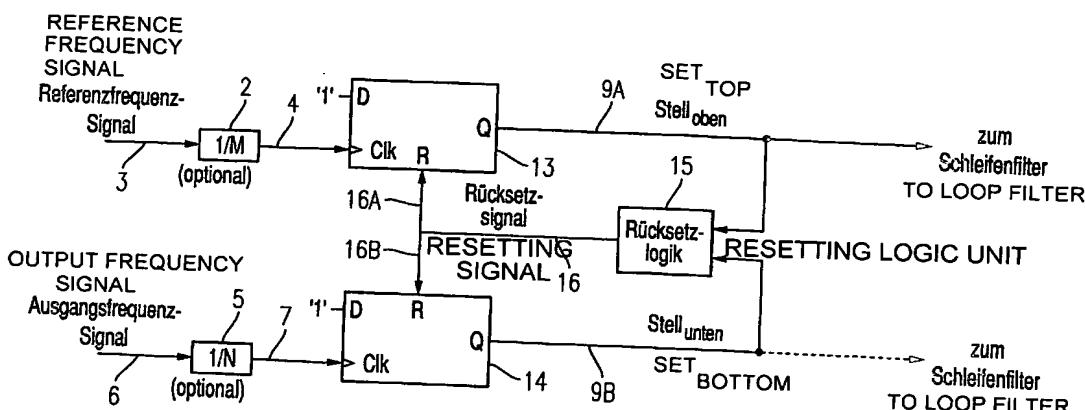
(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT,

{Fortsetzung auf der nächsten Seite}

(54) Title: PHASE-LOCKED/FREQUENCY-LOCKED LOOP AND PHASE/FREQUENCY COMPARATOR THEREFOR

(54) Bezeichnung: PHASEN-/FREQUENZREGELKREIS UND PHASEN-/FREQUENZ-KOMPARATOR HIERFÜR



(57) **Abstract:** The phase/frequency comparator (8) consists of two edge-triggered storage elements (13, 14), which are each set by an edge of a reference frequency signal (3) of a phase-locked/frequency-locked loop (1) and by an edge of an output frequency signal (5) of the phase-locked/frequency-locked loop (1) and which are each reset by an output signal (16) of a resetting logic unit (15). The output signal (16) of the resetting logic unit (15) is activated once both output signals (9A, 9B) of both edge-triggered storage elements (13, 14) are activated, and is then deactivated once both output signals (9A, 9B) of both edge-triggered storage elements (13, 14) are deactivated.

WO 2004/082144 A1

(57) **Zusammenfassung:** Der Phasen-/Frequenzkomparator (8) besteht aus zwei flankengetriggerten Speichergliedern (13, 14), die jeweils mit einer Flanke eines Referenzfrequenz-Signals (3) eines Phasen-/Frequenzregelkreises (1) und einer Flanke eines Ausgangssignals (5) des Phasen-/Frequenzregelkreises (1) gesetzt werden und jeweils mit einem Ausgangssignal (16) einer Rücksetzlogik-Einheit (15) zurückgesetzt werden. Das Ausgangssignal (16) der Rücksetzlogik-Einheit (15) ist erst dann aktiviert, wenn die beiden Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) aktiviert sind, und ist erst dann deaktiviert, wenn die beiden Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) deaktiviert sind.



RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

**Veröffentlicht:**

— *mit internationalem Recherchenbericht*

*Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.*

Phasen-/Frequenzregelkreis und Phasen-/Frequenz-Komparator  
hierfür

5

Die Erfindung betrifft einen stabilen digitalen Phasen-/Frequenz-Komparator für einen Phasen-/Frequenzregelkreis mit neuartiger Reset-Logik, welcher für eine Implementierung in programmierbaren Logikbausteinen (z.B. FPGAs) 10 optimiert ist.

Zur Erzeugung von exakten Frequenzsignalen werden im allgemeinen sogenannte PLL-Schaltungen (PLL: phase locked loops) verwendet. In einer PLL-Schaltung wird die Frequenz 15 eines Frequenzoszillators so eingestellt, dass sie mit einer vorgegebenen Referenzfrequenz derart übereinstimmt, dass die Phasenverschiebung zwischen der Ausgangsfrequenz des Frequenzoszillators und der Referenzfrequenz stabil bzw. konstant bleibt. Prinzipiell kann zwischen analogen 20 und digitalen PLL-Schaltungen unterschieden werden. Bei den digitalen PLL-Schaltungen, die im folgenden weiterbetrachtet werden, beschränkt sich die digitale Realisierung meist auf den Phasen-/Frequenzkomparator bzw. den optional realisierten Frequenzteiler.

25

Der Phasen-/Frequenz-Komparator hat die Aufgabe, die Frequenz eines Ausgangsfrequenzsignals eines Frequenzoszillators in der PLL-Schaltung mit der Frequenz eines vorgegebenen Referenzfrequenz-Signals zu vergleichen und 30 bei einer Frequenzabweichung ein oder mehrere Stellsignale zu generieren, die die Frequenz des Ausgangsfrequenz-Signals des Frequenzoszillators in der PLL-Schaltung entsprechend nachregeln. Die digitale Realisierung eines Phasen-/Frequenz-Komparators erfolgt meist entweder durch 35 ein EXOR-Gatter, ein flankengetriggertes JK-Flipflop oder einen Phasen-Frequenz-Detektor mittels flankengetriggelter D-Flip-Flop mit Rücksetzlogik.

Der Phasen-Frequenz-Detektor mittels flankengetriggerten D-Flip-Flops mit Rücksetzlogik ist eine weit verbreitete digitale Realisierungsvariante für Phasen-/Frequenz-Komparatoren, da sie die geringsten Anforderungen an die 5 Eingangssignale stellt (das EXOR-Gatter erfordert symmetrische Eingangssignale, das flankengetriggerte JK-Flipflop Eingangssignale ohne Schwund (Fading)).

Beim Phasen-Frequenz-Detektor mittels flankengetriggerten 10 Flip-Flops mit Rücksetzlogik besteht, wie z.B. aus Roland E. Best, "Phase Locked Loops", 3rd Edition, McGraw Hill, 1997, ISBN 0-07-006051-7, Seiten 91-101, bekannt, das Stellsignal zum Nachregeln der Frequenz des Frequenzoszillators aus zwei Signalen, einem ersten Signal 15 zum Hochregeln der Frequenz des Frequenzoszillators im Falle einer positiven Frequenzabweichung zwischen Referenzfrequenz und Ausgangsfrequenz und einem zweiten Signal zum Herunterregeln der Frequenz des Frequenzoszillators im Falle einer negativen 20 Frequenzabweichung zwischen Referenzfrequenz und Ausgangsfrequenz. Diese beiden Stellsignale werden jeweils von einem flankengetriggerten D-Flip-Flop erzeugt, die jeweils vom Referenzfrequenzsignal bzw. vom Ausgangsfrequenzsignal gesetzt werden. Aufgrund der möglichen Phasen- und 25 Frequenzbeziehungen des Referenzfrequenzsignals zum Ausgangsfrequenzsignal existieren insgesamt vier mögliche Zustände der beiden D-Flipflop-Ausgänge (00, 01, 10, 11). Da der letzte Zustand der beiden Flip-Flop-Ausgänge (11) nicht sinnvoll ist (gleichzeitiges Hoch- und 30 Herunterregeln der Frequenz des Frequenzoszillators), werden bei Auftreten dieses Zustandes über eine Rücksetzlogik die beiden Flip-Flops zurückgesetzt. Hierzu wird im allgemeinen ein UND-Gatter verwendet, dessen Eingänge mit den Ausgängen der beiden Flip-Flops und 35 dessen Ausgang mit den Rücksetz-Eingängen der beiden Flip-Flops verbunden sind.

Damit weist der Phasen-/Frequenz-Komparator eine asynchrone, rückgekoppelte Struktur auf, deren Betriebs-

verhalten folgendermaßen charakterisiert ist: Im Phasen-Frequenz-Detektor mit flankengetriggerten D-Flip-Flops und obiger Rücksetzlogik wird im Falle einer positiven Frequenzabweichung (Referenzfrequenz  $f_{soll} >$  Ausgangsfrequenz  $f_{ist}$ ) im statistischen Mittel der Ausgang des mit dem Referenzfrequenz-Signal gesetzten Flip-Flops (Signal: Stelloben) länger gesetzt als das mit dem Ausgangsfrequenzsignal gesetzte Flip-Flop (Signal: Stellunten). Im Falle einer negativen Frequenzabweichung (Referenzfrequenz  $f_{soll} <$  Ausgangsfrequenz  $f_{ist}$ ) wird im statistischen Mittel der Ausgang des mit dem Ausgangsfrequenzsignal gesetzten Flip-Flops länger gesetzt als das mit dem Referenzfrequenzsignal gesetzte Flip-Flop. Diese Zusammenhänge sind für positive und negative Frequenzabweichungen  $f_{soll}-f_{ist}$  sowie für positive und negative Phasenabweichungen  $\varphi_{soll}-\varphi_{ist}$  zwischen Referenzfrequenz-Signal und Ausgangsfrequenz-Signal in den Figuren 1A bis 1D dargestellt (zur Verdeutlichung werden in den Diagrammen extreme Frequenz- und Phasenabweichungen vorausgesetzt).

Wird ein derartiger digitaler Phasen-/Frequenz-Komparator mit programmierbaren Logikbausteinen (z.B. FPGAs, PALs, LCAs) realisiert, kann es zu folgenden Problemen kommen:

Die beiden flankengetriggerten D-Flip-Flops werden unter Umständen nicht exakt gleichzeitig gelöscht. Unterschiedliche Laufzeiten der Rücksetzsignale aufgrund unterschiedlicher Leitungslängen von der Rücksetzlogik zu den Rücksetz-Eingängen der flankengetriggerten D-Flip-Flops sowie unterschiedliche Löschzeiten der beiden flankengetriggerten D-Flip-Flops können die Ursache dafür sein. Im Extremfall wird ein flankengetriggertes D-Flip-Flop gar nicht zurückgesetzt, da aufgrund deutlicher Laufzeit- und Löschzeitunterschiede das Rücksetz-Signal des noch nicht gelöschten flankengetriggerten D-Flip-Flops aufgrund des Rücksetzens des anderen flankengetriggerten D-Flip-Flops bereits vor Beendigung des Rücksetzvorgangs wieder zurückgenommen wird. Derartige Vorgänge, insbesondere der

genannte Extremfall, treten im allgemeinen vergleichsweise unwahrscheinlich auf, sind jedoch in programmierbaren Logik-Bausteinen bei einer ungünstigen Platzierung der einzelnen Logikeinheiten nicht auszuschließen.

5

Der Anwender besitzt bei der Programmierung der Logikbausteine im allgemeinen nur beschränkten Einfluss auf die Laufzeiten der einzelnen Signale bzw. auf die Löschzeiten der Flip-Flops, so dass bei Auftreten 10 derartiger Unregelmäßigkeiten das Regelverhalten des PLL-Regelkreises nicht mehr exakt kontrollierbar ist. Zwischen den beiden Stellsignalen des digitalen Phasen-/Frequenz-Komparators und der Frequenzabweichung zwischen Referenzfrequenz und Ausgangsfrequenz besteht also kein 15 exakter deterministischer Zusammenhang mehr. Dies führt zu unerwünschten Sprüngen in der Frequenz am Ausgang des Frequenzoszillators der PLL-Schaltung sowie zu Phasendriften zwischen Referenzfrequenz und Ausgangsfrequenz. Diese Regelabweichungen des Phasen-/Frequenz- 20 regelkreises, die die Regelgüte der PLL-Schaltung deutlich reduzieren, können im allgemeinen nicht ausgeregelt werden und können in Extremfall zur Instabilität des Regelkreises führen.

25 Der Erfindung liegt daher die Aufgabe zugrunde, für einen digitalen Phasen-/Frequenzregelkreis eine geeignete Rücksetzlogik für den Phasen-/Frequenz-Komparator, der mit flankengetriggerten Speichergliedern (D-Flip-Flops) aufgebaut ist, zu schaffen, um trotz auftretender 30 Laufzeit-Effekte bei einer digitalen Realisierung mittels beispielsweise programmierbarer Logikbausteine eine deterministische und stabile Phasen-/Frequenzregelung zu erzielen.

35 Die Aufgabe der Erfindung wird durch die Merkmale eines Phasen-/Frequenzregelkreis nach Anspruch 1 und durch die Merkmale eines Phasen-/Frequenzkomparators nach Anspruch 9 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sind in den abhängigen Ansprüchen angegeben.

Zur Erzielung definiert zuverlässiger Löschvorgänge der beiden flankengetriggerten Speicherglieder, z.B. D-Flip-Flops, wird anstelle eines statischen Gatterbausteins zur 5 Gewinnung des Rücksetzsignals aus den Ausgangssignalen der flankengetriggerten Speicherglieder (D-Flip-Flops) ein digitales Speicherglied verwendet. Hierzu kommt beispielsweise und vorzugsweise ein asynchrones pegelgetriggertes RS-Flip-Flop zum Einsatz, das erst gesetzt wird, wenn 10 beide Ausgänge der beiden erst genannten flankengetriggerten Speicherglieder (D-Flip-Flops) gesetzt sind. Das Rücksetzsignal der beiden flankengetriggerten Speicherglieder (D-Flip-Flops) wird erst dann zurückgesetzt, wenn beide flankengetriggerten Speicherglieder (D-Flip-Flops) 15 zurückgesetzt sind. Somit wird gewährleistet, dass der Rücksetzvorgang beider flankengetriggerten Speicherglieder (D-Flip-Flops) definiert zum Abschluss kommt.

In den abhängigen Ansprüchen werden Ausführungsformen der 20 Rücksetzlogik für invertierte wie auch nicht-invertierte Logik aufgeführt.

Zwei Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und werden im Folgenden näher 25 beschrieben. Es zeigen:

Fig. 1A, 1B, 1C, 1D eine Darstellung der Signale beim Phasen-/Frequenz-Detektor für unterschiedliche Frequenz- und Phasen- 30 Abweichungen;

Fig. 2 ein Blockdiagramm eines Phasen-/Frequenz-Regelkreises;

35 Fig. 3 ein Blockdiagramm eines digitalen Phasen-/Frequenz-Komparators;

Fig. 4

ein Blockdiagramm eines ersten Ausführungsbeispiels einer Rücksetzlogik und

5 Fig. 5

ein Blockdiagramm eines zweiten Ausführungsbeispiels einer Rücksetzlogik.

Die erfindungsgemäße Rücksetzlogik für einen digitalen 10 Phasen-/Frequenz-Komparator wird nachfolgend unter Bezugnahme auf Fig. 2 bis Fig. 5 beschrieben:

In Fig. 2 ist schematisch das Blockdiagramm eines Phasen-/Frequenz-Regelkreises (PLL-Regelkreis) 1 dargestellt. Er 15 besteht aus einem Frequenzteiler 2, an dessen Eingang ein Referenzfrequenz-Signal 3 anliegt. Die Frequenz des Referenzfrequenz-Signals 3 wird im Frequenzteiler 2 um den Faktor M geteilt. Das Referenzfrequenz-Signal 4 mit der um den Faktor M geteilten Frequenz wird am Ausgang des 20 Frequenzteilers 2 ausgegeben. Der Phasen-/Frequenz-Regelkreis 1 besitzt einen zweiten Frequenzteiler 5, der die Frequenz des an seinem Eingang anliegenden Ausgangsfrequenz-Signals 6 um den Faktor N teilt. Das Ausgangsfrequenz-Signal 7 mit der um den Faktor N 25 geteilten Frequenz wird am Ausgang des Frequenzteilers 5 ausgegeben. Durch geeignete Wahl von M und N ist dafür zu sorgen, dass das um den Faktor M frequenzgeteilte Referenzfrequenz-Signal 3 und das um den Faktor N frequenzgeteilte Ausgangsfrequenz-Signal 6 im stationären 30 (eingeschwungenen) Zustand des Phasen-/Frequenz-Regelkreises 1 dieselbe Frequenz haben. Sowohl Frequenzteiler 2 wie auch Frequenzteiler 5 sind optionale Funktionsblöcke innerhalb des Phasen-/Frequenz-Regelkreises.

35

Das optional in den Frequenzteilern 2 bzw. 3 in seiner Frequenz geteilte Referenzfrequenzsignal 4 und Ausgangsfrequenz-Signal 7 wird an die jeweiligen Eingänge eines Phasen-/Frequenz-Komparators 8 geführt. Im Phasen-

/Frequenz-Komparator 8 erfolgt ein Vergleich der beiden Frequenzen bzw. Phasen des Referenzfrequenz-Signals 4 und des Ausgangsfrequenz-Signals 7. Der Vergleich führt zu einer Stellgröße 9 zur Nachregelung eines in der Regel 5 strom- oder spannungsgesteuerten Frequenzoszillators 10. Die Stellgröße 9 besteht aus den beiden Stellsignalen Stelloben 9A zum Hochregeln der Frequenz des Frequenzoszillators 10 und Stellunten 9B zum Herunterregeln der Frequenz des Frequenzoszillators 10.

10

Die Stellgröße 9 mit ihren beiden Stellsignalen Stelloben 9A und Stellunten 9B werden an den Eingang eines Schleifenfilters 11 geführt. Das Schleifenfilter 11 weist ein bestimmtes charakteristisches dynamisches Verhalten 15 auf, mit dem es die Dynamik des Phasen-/Frequenz-Regelkreises im Hinblick auf die Stabilität gezielt beeinflußt. Das Ausgangssignal 12 des Schleifenfilters 11 wird an den Eingang des Frequenzoszillators 10 zur Regelung der Frequenz des Ausgangsfrequenz-Signals 6 20 geführt.

Somit wird die Frequenz des Ausgangsfrequenz-Signals 6 in Abhängigkeit der Regelkreisverstärkung des Phasen-/Frequenz-Regelkreises 1, die unter anderem von den 25 Teilungsfaktoren N und M der Frequenzteiler 2 und 5 bestimmt ist, entsprechend dem zeitlichen Verlauf der Frequenz des Referenzfrequenz-Signals 3 geregelt. Das dynamische Verhalten des Phasen-/Frequenz-Regelkreises 1 bei zeitlicher Änderung der Frequenz des Referenzfrequenz- 30 Signals 3 oder bei Auftreten einer den Phasen-/Frequenz-Regelkreises 1 beeinflussenden Störung wird durch die Dynamik der einzelnen Funktionsblöcke im Phasen-/Frequenz-Regelkreis 1, insbesondere des Schleifenfilters 11 und des Frequenzoszillators 10, bestimmt.

35

Während das Schleifenfilter 11 und der Frequenzoszillator 10 oft analog realisierte Funktionseinheiten darstellen, werden die Frequenzteiler 2 und 5 und der Phasen-/Frequenz-Komparator 8 analog oder digital realisiert. Bei

der digitalen Realisierung wird im Folgenden der in der überwiegenden Mehrzahl der Anwendungen eingesetzte Phasen-Frequenz-Detektor (PFD) mit flankengetriggerten D-Flip-Flops und Rücksetzlogik weiter beschrieben.

5

Das Blockschaltbild des Phasen-Frequenz-Detektor (PFD) ist in Fig. 3 dargestellt. Der PFD besteht aus den beiden flankengetriggerten Speichergliedern 13 und 14, vorzugsweise flankengetriggerte D-Flip-Flops. Beim flankengetriggerten D-Flip-Flop 13 wird bei einer positiven Flanke des optional im Frequenzteiler 2 frequenzgeteilten Referenzfrequenz-Signals 4 am Takteingang Clk der am Eingang D anliegende Pegel, der konstant auf logisch "1" gesetzt ist, auf den Ausgang Q geschaltet. Das am Ausgang 10 Q des D-Flip-Flops 13 anliegende Stellsignal Stell<sub>oben</sub> 9a dient zum Hochregeln der Frequenz des Frequenzoszillators 10. Analog wird beim flankengetriggerten D-Flip-Flop 14 bei einer positiven Flanke des optional im Frequenzteiler 5 frequenzgeteilten Ausgangsfrequenz-Signals 7 am 15 Takteingang Clk der am Eingang D anliegende Pegel, der konstant auf logisch "1" gesetzt ist, auf den Ausgang Q geschaltet. Das am Ausgang Q des D-Flip-Flops 14 anliegende Stellsignal Stell<sub>unten</sub> 9B dient zum 20 Herunterregeln der Frequenz des Frequenzoszillators 10. 25 Die beiden Stellsignale Stell<sub>oben</sub> 9A und Stell<sub>unten</sub> 9B werden an die Eingänge der Rücksetzlogik 15 geführt.

Nach dem Stand der Technik besteht die Rücksetzlogik 15 aus einem UND-Gatter. Die Rücksetzlogik 15 generiert ein 30 Rücksetzsignal 16, das als Rücksetzsignal 16A an den Rücksetz-Eingang R des D-Flip-Flops 13 und als Rücksetzsignal 16B an den Rücksetz-Eingang R des D-Flip-Flops 14 geführt wird. Sind also die beiden Ausgänge Q der 35 beiden D-Flip-Flops 13 und 14 gleichzeitig gesetzt, so ist auch der Ausgang der Rücksetzlogik 15 aktiviert, womit die beiden D-Flip-Flops 13 und 14 jeweils über die Rücksetzsignale 16A und 16B an den Rücksetzeingängen R zurückgesetzt werden.

In einem ersten Ausführungsbeispiel der Rücksetzlogik 15, die in Fig. 4 dargestellt ist, wird ein asynchrones pegelgetriggertes RS-Flip-Flop 17 verwendet, das eine inverse (= low-aktiv) Logik aufweist. Der Setzeingang S des asynchronen pegelgetriggerten RS-Flip-Flops 17 wird vom Ausgangssignal 18 eines invertierten UND-Gatters 19 gespeist. An die Eingänge des invertierten UND-Gatters 19 werden die beiden Stellsignale Stell<sub>oben</sub> 9A und Stell<sub>unten</sub> 9B geführt. An den Rücksetzeingang R des asynchronen pegelgetriggerten RS-Flip-Flops 17 wird das Ausgangssignal 20 des ODER-Gatters 21 geführt. Die beiden Eingänge des ODER-Gatters 21 werden von den beiden Stellsignalen Stell<sub>oben</sub> 9A und Stell<sub>unten</sub> 9B gespeist. Am Ausgang Q des asynchronen pegelgetriggerten RS-Flip-Flops 17 wird das Rücksetzsignal 16 erzeugt. Zur Realisierung der inversen Logik weist das asynchrone pegelgetriggerte RS-Flip-Flop 17 ein invertiertes UND-Gatter 22 auf, dessen Ausgang an den Ausgang Q geschaltet ist und dessen Eingänge vom Eingang S und vom Ausgang eines weiteren invertierten UND-Gatters 23 gespeist werden. Die Eingänge des weiteren invertierten UND-Gatters 23 werden vom Rücksetzeingang R und vom Ausgang des ersten invertierten UND-Gatters 22 gespeist.

Sind die beiden Stellsignale Stell<sub>oben</sub> 9A und Stell<sub>unten</sub> 9B gleichzeitig aktiviert (Zustand "1"), so wird das Ausgangssignal 18 des invertierten UND-Gatters 19 und damit der Setzeingang S des asynchronen pegelgetriggerten RS-Flip-Flops 17 aktiviert (auf Zustand "0" gesetzt). Gleichzeitig ist das Ausgangssignal 20 des ODER-Gatters 21 und damit der Rücksetzeingang R des asynchronen pegelgetriggerten RS-Flip-Flops 17 deaktiviert (auf Zustand "1" gesetzt). Aufgrund der inversen Logik des RS-Flip-Flops 17 ist der Ausgang Q und damit das Rücksetzsignal 16 gesetzt. Sind dagegen die beiden Stellsignale Stell<sub>oben</sub> 9A und Stell<sub>unten</sub> 9B gleichzeitig deaktiviert (Zustand "0"), so ist das Ausgangssignal 18 des invertierten UND-Gatters 19 und damit der Setzeingang S des RS-Flip-Flops 17 auf den Zustand "1" gesetzt. Das

Ausgangssignal 20 des ODER-Gatters 21 und damit der Rücksetzeingang R des RS-Flip-Flops 17 ist auf den Zustand "0" gesetzt. Der Ausgang Q des RS-Flip-Flops 17 wird aufgrund seiner inversen Logik zurückgesetzt.

5

Somit ist gewährleistet, dass das Rücksetzsignal 16 dann gesetzt wird, wenn die beiden Stellsignale Stell<sub>oben</sub> 9A und Stell<sub>unten</sub> 9B gesetzt sind. Ein Rücksetzen des Rücksetzsignals 16 erfolgt erst dann, wenn beide 10 Stellsignale Stell<sub>oben</sub> 9A und Stell<sub>unten</sub> 9B gleichzeitig zurückgesetzt sind. Damit kann die Frequenz des Frequenz- 15 oszillators 10 entsprechend der Belegung der Stellsignale Stell<sub>oben</sub> 9a und Stell<sub>unten</sub> 9B nachgeregelt werden, ohne unerwünschte Frequenzsprünge und damit Instabilitäten im 15 Phasen-/Frequenz-Regelkreis zu erzeugen. Der PLL-Regelkreis weist damit ein kontrollierbares Verhalten auf.

In einem zweiten Ausführungsbeispiel der Rücksetzlogik 15, die in Fig. 5 dargestellt ist, wird ein asynchrones pegelgetriggertes RS-Flip-Flop 24 verwendet, das eine nicht-inverse Logik aufweist. Der Setzeingang S des asynchronen pegelgetriggerten RS-Flip-Flops 24 wird vom Ausgangssignal 25 eines UND-Gatters 26 gespeist. An die Eingänge des UND-Gatters 26 werden die beiden Stellsignale Stell<sub>oben</sub> 9A und 20 Stell<sub>unten</sub> 9B geführt. An den Rücksetzeingang R des asynchronen pegelgetriggerten RS-Flip-Flops 24 wird das Ausgangssignal 27 des invertierten ODER-Gatters 28 geführt. Die beiden Eingänge des invertierten ODER-Gatters 28 werden von den beiden Stellsignalen Stell<sub>oben</sub> 9A und 25 Stell<sub>unten</sub> 9B gespeist. Am Ausgang Q des asynchronen pegelgetriggerten RS-Flip-Flops 24 wird das Rücksetzsignal 16 erzeugt. Zur Realisierung der nicht-inversen Logik weist das asynchrone pegelgetriggerte RS-Flip-Flop 24 ein invertiertes ODER-Gatter 29 auf, dessen Ausgang an den 30 Ausgang Q geschaltet ist und dessen Eingänge vom Eingang S und vom Ausgang eines weiteren invertierten ODER-Gatters 30 gespeist werden. Die Eingänge des weiteren invertierten ODER-Gatters 30 werden vom Rücksetzeingang R und vom Ausgang des ersten invertierten ODER-Gatters 29 gespeist.

Sind die beiden Stellsignale  $Stell_{oben}$  9A und  $Stell_{unten}$  9B gleichzeitig aktiviert (Zustand "1"), so wird das Ausgangssignal 25 des UND-Gatters 26 und damit der 5 Setzeingang S des asynchronen pegelgetriggerten RS-Flip-Flops 24 aktiviert (Zustand "1"). Gleichzeitig ist das Ausgangssignal 27 des invertierten ODER-Gatters 28 und damit der Rücksetzeingang R des asynchronen pegelgetriggerten RS-Flip-Flops 24 nicht gesetzt (Zustand 10 "0"). Aufgrund der nicht-invertierten Logik des RS-Flip-Flops 24 ist der Ausgang Q und damit das Rücksetzsignal 16 gesetzt. Sind dagegen die beiden Stellsignale  $Stell_{oben}$  9A und  $Stell_{unten}$  9B gleichzeitig deaktiviert (Zustand "0"), so ist das Ausgangssignal 25 des UND-Gatters 26 und damit 15 der Setzeingang S des RS-Flip-Flops zurückgesetzt (Zustand "0"). Das Ausgangssignal 27 des invertierten ODER-Gatters 28 und damit der Rücksetzeingang R des RS-Flip-Flops 24 ist aktiviert (Zustand "1"). Der Ausgang Q des RS-Flip-Flops 24 wird aufgrund seiner nicht-invertierten Logik 20 zurückgesetzt.

Auch in diesem Ausführungsbeispiel mit einem asynchronen pegelgetriggerten RS-Flip-Flop 24 mit nicht-invertierter Logik ist gewährleistet, dass das Rücksetzsignal 16 nur 25 dann gesetzt ist, wenn die beiden Stellsignale  $Stell_{oben}$  9A und  $Stell_{unten}$  9B gleichzeitig gesetzt sind. Ein Rücksetzen des Rücksetzsignals 16 erfolgt auch dann erst, wenn beide Stellsignale  $Stell_{oben}$  9A und  $Stell_{unten}$  9B zurückgesetzt sind. Der PLL-Regelkreis weist auch in 30 diesem Ausführungsbeispiel ein kontrollierbares Verhalten auf, da keine unerwünschten Frequenzsprünge und somit Instabilitäten im Phasen-/Frequenz-Regelkreis auftreten.

**Ansprüche**

1. Phasen-/Frequenzregelkreis (1) mit einem Phasen-/Frequenzkomparator (8) und einem Frequenzoszillatator (10), wobei der Phasen-/Frequenzkomparator (8) zwei flankengetriggerte Speicherglieder (13, 14) aufweist, die jeweils mit einer Flanke eines ggf. geteilten Referenzfrequenz-Signals (4) des Phasen-/Frequenzregelkreises (1) und einer Flanke eines ggf. geteilten Ausgangsfrequenz-Signals (6) des Phasen-/Frequenzregelkreises (1) gesetzt werden und jeweils mit einem Ausgangssignal (16) einer Rücksetzlogik-Einheit (15) zurückgesetzt werden, deren Eingänge von den Ausgangssignalen (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) gespeist sind, dadurch gekennzeichnet,  
dass das Ausgangssignal (16) der Rücksetzlogik-Einheit (15) erst dann aktiviert ist, wenn beide Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) aktiviert sind, und erst dann deaktiviert ist, wenn beide Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) deaktiviert sind.
2. Phasen-/Frequenzregelkreis nach Anspruch 1, dadurch gekennzeichnet,  
dass die Rücksetzlogik-Einheit (15) mittels eines asynchronen pegelgetriggerten RS-Speichergliedes (17; 24) realisiert ist.
3. Phasen-/Frequenzregelkreis nach Anspruch 2, dadurch gekennzeichnet,  
dass das asynchrone pegelgetriggerte RS-Speicherglied (24) der Rücksetzlogik-Einheit (15) bei nicht-invertierten Eingangssignalen gesetzt oder zurückgesetzt wird.
4. Phasen-/Frequenzregelkreis nach Anspruch 2, dadurch gekennzeichnet,

dass das asynchrone pegelgetriggerte RS-Speicherglied (17) der Rücksetzlogik-Einheit (15) bei invertierten Eingangssignalen gesetzt oder zurückgesetzt wird.

5 5. Phasen-/Frequenzregelkreis nach einem der Ansprüche 1 bis 4,

dadurch gekennzeichnet,

dass der Ausgang (Q) des mit dem ggf. geteilten Referenzfrequenz-Signal (3) an seinen Eingang (Clk)

10 beaufschlagten flankengetriggerten Speichergliedes (13) dem Frequenzoszillatator (10) zur Erhöhung der Frequenz des Ausgangsfrequenz-Signals (6) und der Ausgang (Q) des mit dem ggf. geteilten Ausgangsfrequenz-Signals (6) an seinem Eingang (Clk) beaufschlagten flankengetriggerten

15 Speichergliedes (14) dem Frequenzoszillatator (10) zur Reduzierung der Frequenz des Ausgangsfrequenz-Signals (6) zugeführt ist.

6. Phasen-/Frequenzregelkreis nach einem der Ansprüche 1

20 oder 5,

dadurch gekennzeichnet,

dass die Signale (9A, 9B) am Ausgang (Q) der beiden flankengetriggerten Speicherglieder (13, 14) unter

25 Zwischenschaltung eines Schleifenfilters (11) zur Stabilisierung des Phasen-/Frequenzregelkreises (1) auf den Frequenzoszillatator (10) geschaltet sind.

7. Phasen-/Frequenzregelkreis nach einem der Ansprüche 1 bis 6,

30 dadurch gekennzeichnet,

dass die Frequenz des Referenzfrequenz-Signals (2) des Phasen-/Frequenzregelkreises (1) vor dem Eingang (Clk) des Phasen-/Frequenzkomparators (8) mittels eines Frequenzteilers (2) um den Faktor N reduziert wird.

35

8. Phasen-/Frequenzregelkreis nach einem der Ansprüche 1 bis 7,

dadurch gekennzeichnet,

dass die Frequenz des Ausgangsfrequenz-Signals (6) des Phasen-/Frequenzregelkreises (1) vor dem Eingang (Clk) des Phasen-/Frequenzkomparators (8) mittels eines Frequenzteilers (5) um den Faktor M reduziert wird.

5

9. Phasen-/Frequenzkomparator (8) für einen Phasen-/Frequenzregelkreis (1) mit zwei flankengetriggerten Speichergliedern (13, 14), die jeweils mit einer Flanke eines ggf. geteilten Referenzfrequenz-Signals (3) des Phasen-/Frequenzregelkreises (1) und einer Flanke eines ggf. geteilten Ausgangsfrequenz-Signals (6) des Phasen-/Frequenzregelkreises (1) gesetzt werden und jeweils mit einem Ausgangssignal (16) einer Rücksetzlogik-Einheit (15) zurückgesetzt werden, deren Eingänge von den Ausgangssignalen (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) gespeist sind, dadurch gekennzeichnet,

10. Phasen-/Frequenzkomparator (8) für einen Phasen-/Frequenzregelkreis (1) mit zwei flankengetriggerten Speichergliedern (13, 14), die jeweils mit einer Flanke eines ggf. geteilten Referenzfrequenz-Signals (3) des Phasen-/Frequenzregelkreises (1) und einer Flanke eines ggf. geteilten Ausgangsfrequenz-Signals (6) des Phasen-/Frequenzregelkreises (1) gesetzt werden und jeweils mit einem Ausgangssignal (16) einer Rücksetzlogik-Einheit (15) zurückgesetzt werden, deren Eingänge von den Ausgangssignalen (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) gespeist sind, dadurch gekennzeichnet,

dass das Ausgangssignal (16) der Rücksetzlogik-Einheit (15) erst dann aktiviert ist, wenn beide Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) aktiviert sind, und erst dann deaktiviert ist, wenn beide Ausgangssignale (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) deaktiviert sind.

25

11. Phasen-/Frequenzkomparator (8) für einen Phasen-/Frequenzregelkreis (1) mit zwei flankengetriggerten Speichergliedern (13, 14), die jeweils mit einer Flanke eines ggf. geteilten Referenzfrequenz-Signals (3) des Phasen-/Frequenzregelkreises (1) und einer Flanke eines ggf. geteilten Ausgangsfrequenz-Signals (6) des Phasen-/Frequenzregelkreises (1) gesetzt werden und jeweils mit einem Ausgangssignal (16) einer Rücksetzlogik-Einheit (15) zurückgesetzt werden, deren Eingänge von den Ausgangssignalen (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) gespeist sind, dadurch gekennzeichnet,

dass die Rücksetzlogik-Einheit (15) mittels eines asynchronen pegelgetriggerten RS-Speichergliedes (17, 24) realisiert ist.

12. Phasen-/Frequenzkomparator (8) für einen Phasen-/Frequenzregelkreis (1) mit zwei flankengetriggerten Speichergliedern (13, 14), die jeweils mit einer Flanke eines ggf. geteilten Referenzfrequenz-Signals (3) des Phasen-/Frequenzregelkreises (1) und einer Flanke eines ggf. geteilten Ausgangsfrequenz-Signals (6) des Phasen-/Frequenzregelkreises (1) gesetzt werden und jeweils mit einem Ausgangssignal (16) einer Rücksetzlogik-Einheit (15) zurückgesetzt werden, deren Eingänge von den Ausgangssignalen (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) gespeist sind, dadurch gekennzeichnet,

dass das asynchrone pegelgetriggerte RS-Speicherglied (24) der Rücksetzlogik-Einheit (15) bei nicht-invertierten Eingangssignalen gesetzt oder zurückgesetzt wird.

13. Phasen-/Frequenzkomparator (8) für einen Phasen-/Frequenzregelkreis (1) mit zwei flankengetriggerten Speichergliedern (13, 14), die jeweils mit einer Flanke eines ggf. geteilten Referenzfrequenz-Signals (3) des Phasen-/Frequenzregelkreises (1) und einer Flanke eines ggf. geteilten Ausgangsfrequenz-Signals (6) des Phasen-/Frequenzregelkreises (1) gesetzt werden und jeweils mit einem Ausgangssignal (16) einer Rücksetzlogik-Einheit (15) zurückgesetzt werden, deren Eingänge von den Ausgangssignalen (9A, 9B) der beiden flankengetriggerten Speicherglieder (13, 14) gespeist sind, dadurch gekennzeichnet,

dass das asynchrone pegelgetriggerte RS-Speicherglied (24) der Rücksetzlogik-Einheit (15) bei invertierten Eingangssignalen gesetzt oder zurückgesetzt wird.

dass das asynchrone pegelgetriggerte RS-Speicherglied (17) der Rücksetzlogik-Einheit (15) bei invertierten Eingangssignalen gesetzt oder zurückgesetzt wird.

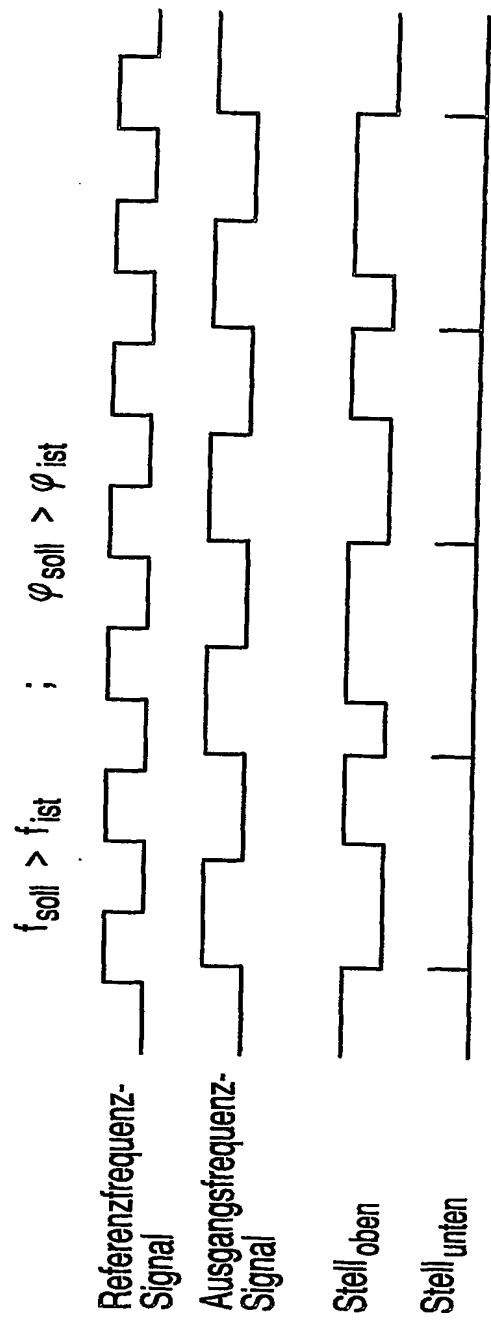


Fig. 1A

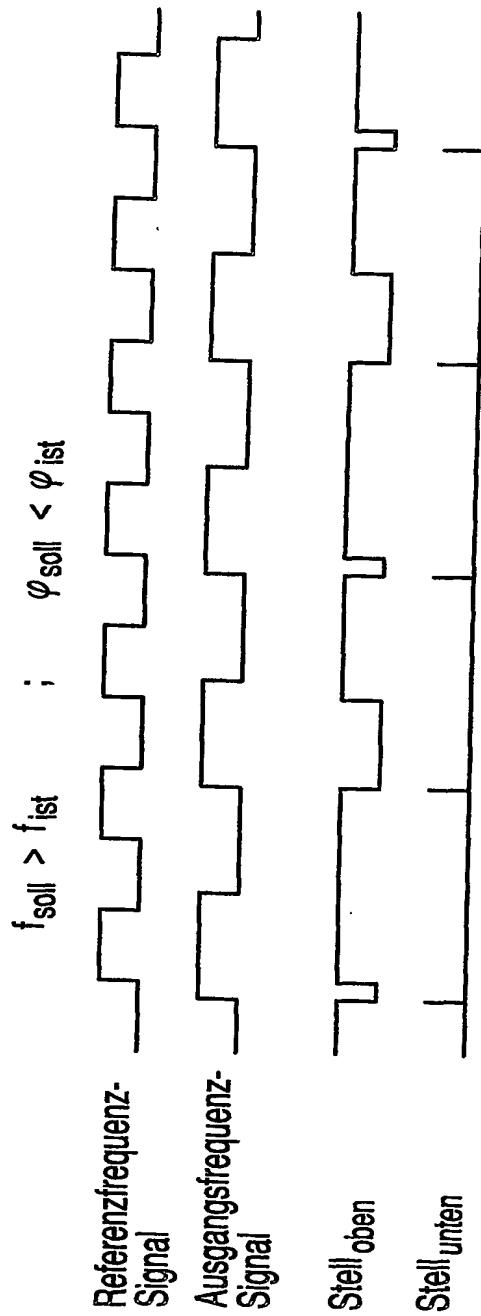


Fig. 1B

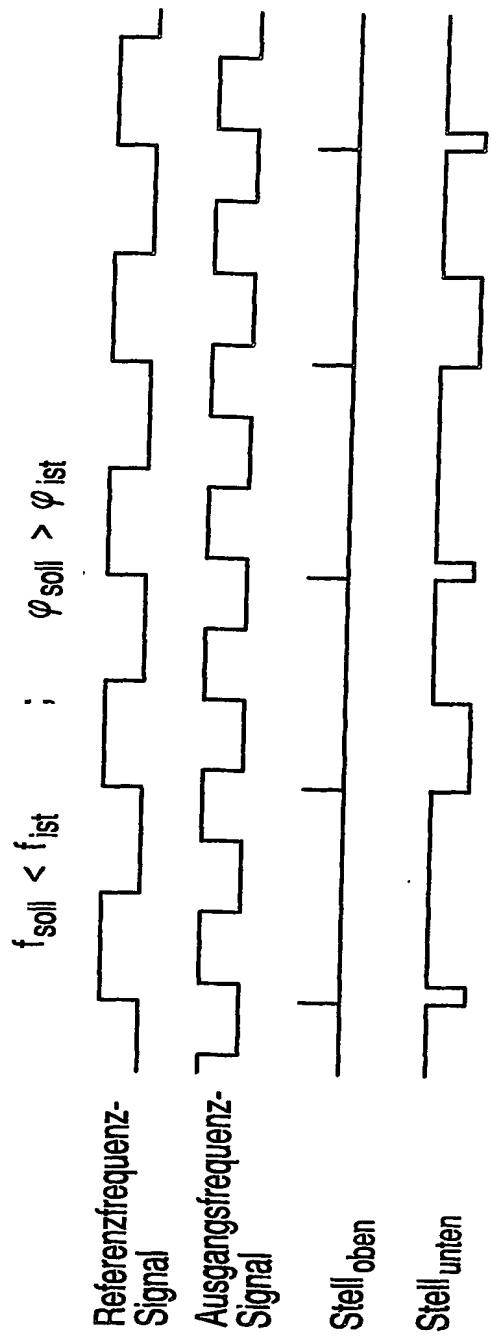


Fig. 1C

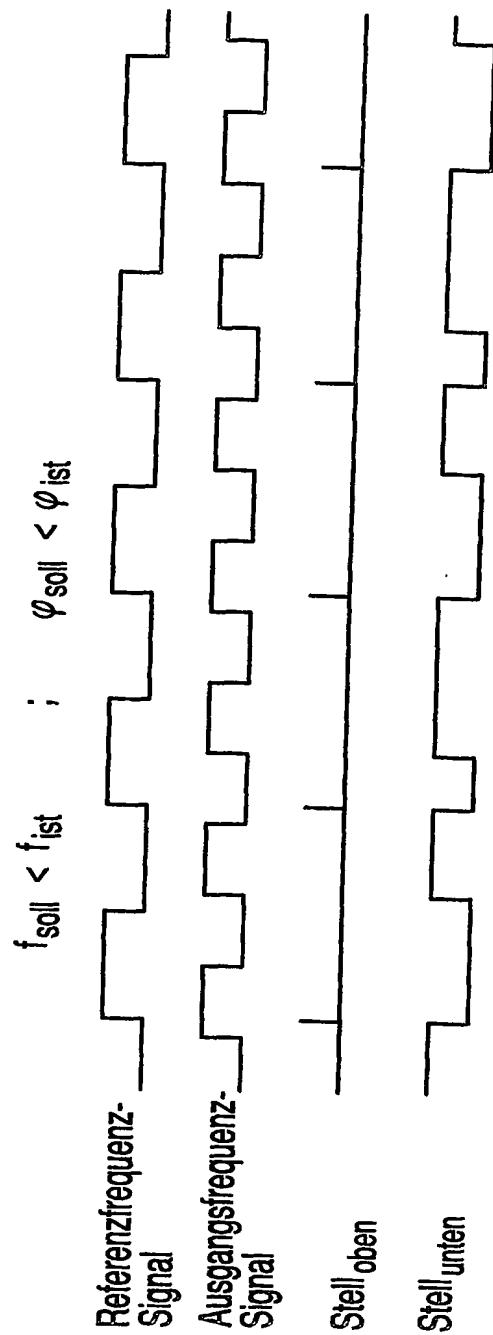


Fig. 1D

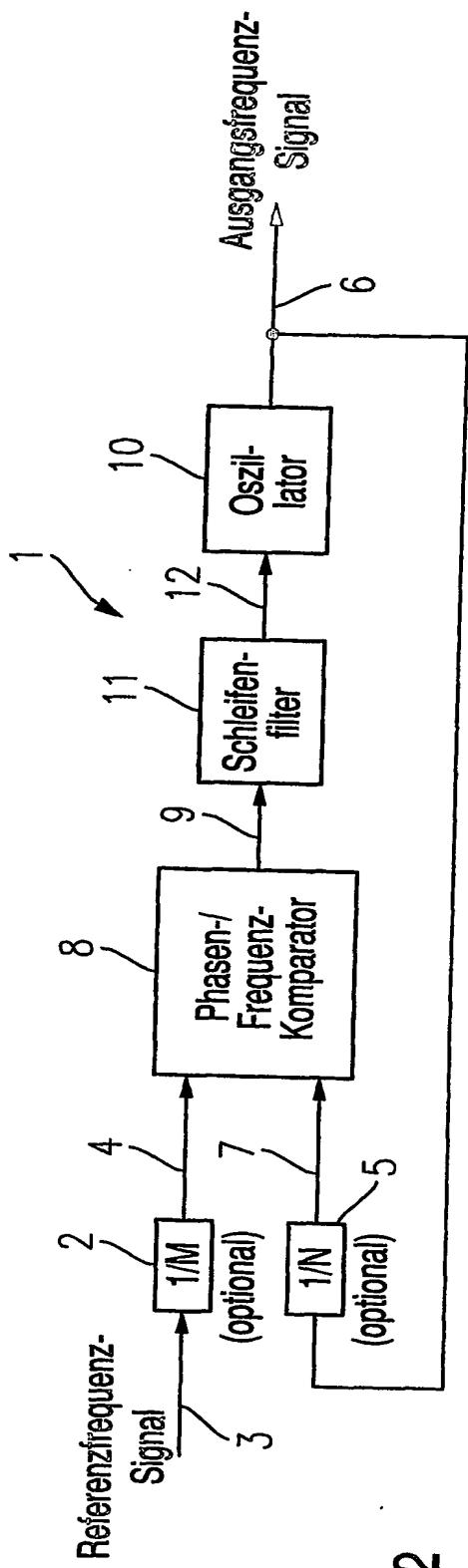


Fig. 2

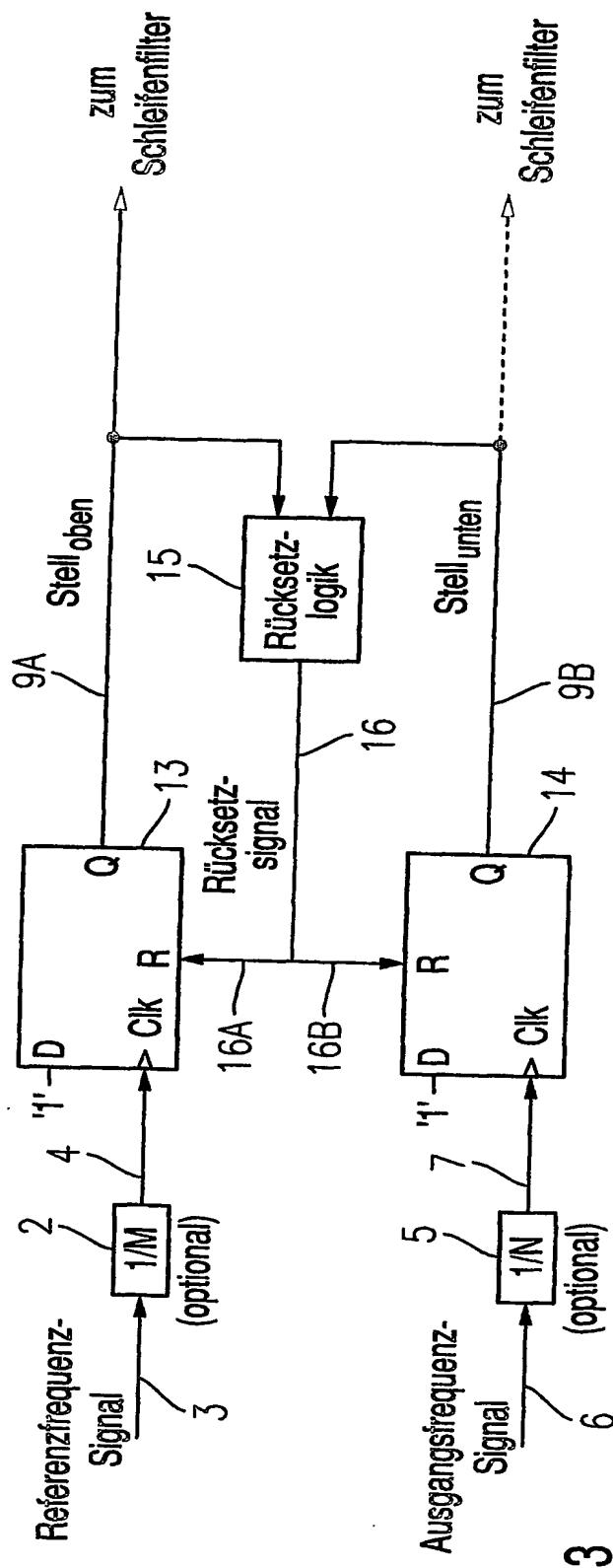


Fig. 3

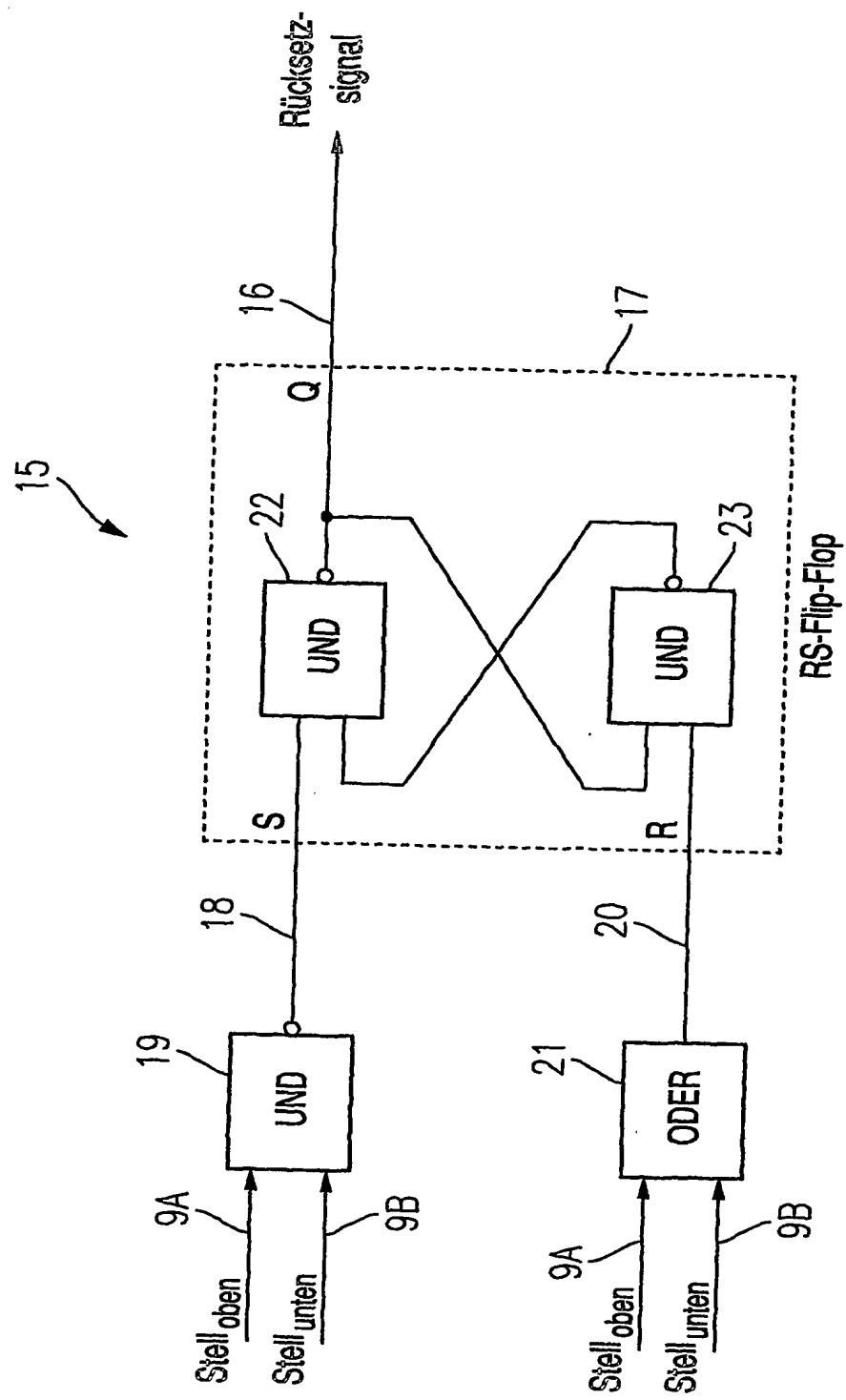


Fig. 4

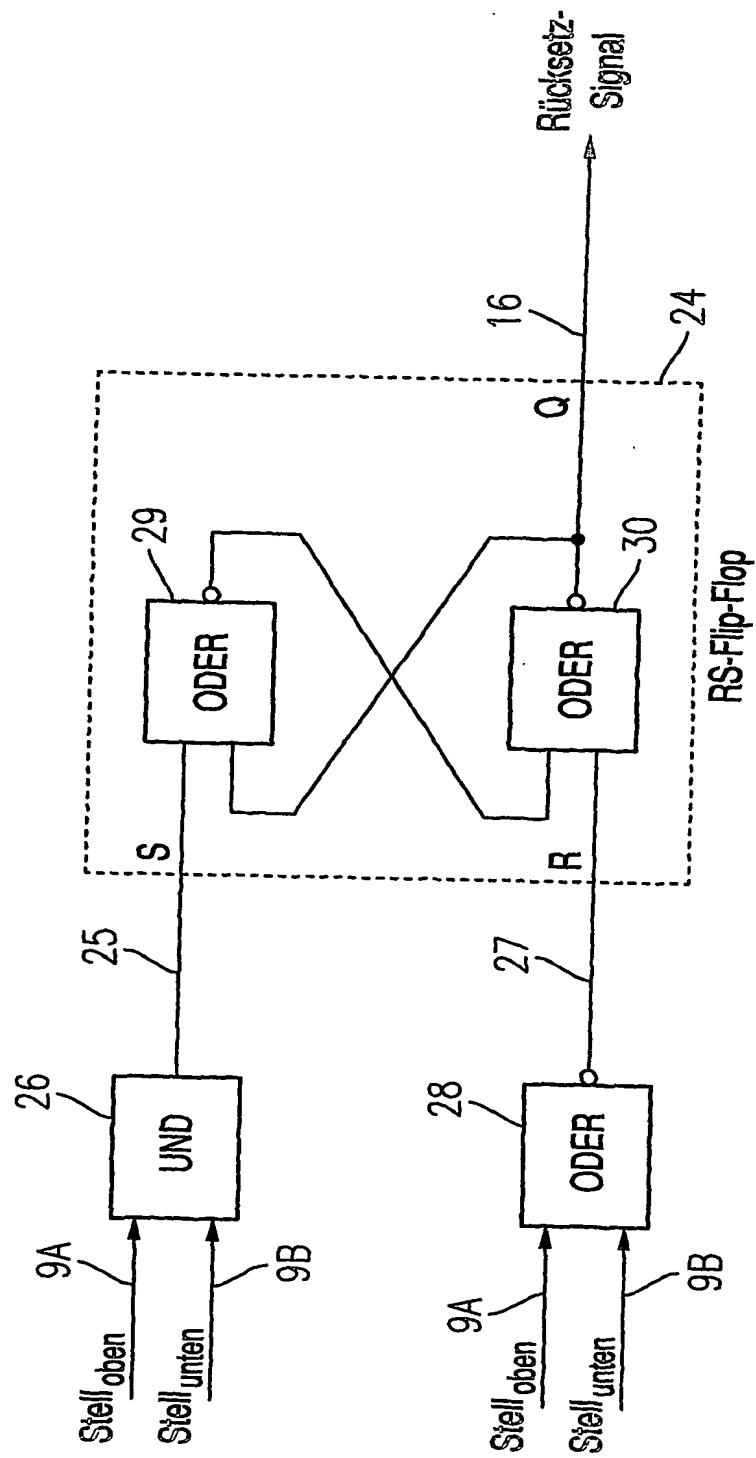


Fig. 5

# INTERNATIONAL SEARCH REPORT

International Application No  
PCT/EP2004/001154

**A. CLASSIFICATION OF SUBJECT MATTER**  
IPC 7 H03L7/085 H03D13/00

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
IPC 7 H03L H03D

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the International search (name of data base and, where practical, search terms used)  
EPO-Internal

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 283 275 A (FUJITSU LTD) 21 September 1988 (1988-09-21) column 5, line 30 -column 9, line 40 -----	1-12
X	US 2002/118006 A1 (ENAM SYED K ET AL) 29 August 2002 (2002-08-29) paragraph '0114! - paragraph '0124! -----	1-12
P, X	US 6 552 616 B1 (LAI DAVID ET AL) 22 April 2003 (2003-04-22) the whole document -----	1-12
A	US 3 989 931 A (PHILLIPS DONALD E) 2 November 1976 (1976-11-02) the whole document -----	

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

\* Special categories of cited documents :

- \*A\* document defining the general state of the art which is not considered to be of particular relevance
- \*E\* earlier document but published on or after the International filing date
- \*L\* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- \*O\* document referring to an oral disclosure, use, exhibition or other means
- \*P\* document published prior to the international filing date but later than the priority date claimed

- \*T\* later document published after the International filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- \*X\* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- \*Y\* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- \*&\* document member of the same patent family

Date of the actual completion of the international search.

19 May 2004

Date of mailing of the international search report

03/06/2004

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax (+31-70) 340-3016

Authorized officer

Kahn, K-D

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International Application No

PCT/EP2004/001154

Patent document cited in search report	Publication date	Patent family member(s)		Publication date
EP 0283275	A 21-09-1988	JP 2608555 B2		07-05-1997
		JP 63229912 A		26-09-1988
		DE 3850793 D1		01-09-1994
		DE 3850793 T2		24-11-1994
		EP 0283275 A2		21-09-1988
		KR 9103028 B1		15-05-1991
		US 4904948 A		27-02-1990
US 2002118006	A1 29-08-2002	AU 6815501 A		17-12-2001
		AU 7520001 A		11-12-2001
		WO 0195552 A2		13-12-2001
		WO 0193491 A2		06-12-2001
		US 2002114416 A1		22-08-2002
		US 2002109552 A1		15-08-2002
		US 2002138540 A1		26-09-2002
		US 2002124030 A1		05-09-2002
		US 2003038681 A1		27-02-2003
		US 2002109527 A1		15-08-2002
		US 2002136340 A1		26-09-2002
		US 2002135403 A1		26-09-2002
		US 2002118043 A1		29-08-2002
		US 2002122443 A1		05-09-2002
		US 2002109553 A1		15-08-2002
		US 2002097682 A1		25-07-2002
		US 2002140439 A1		03-10-2002
		US 2002141515 A1		03-10-2002
		US 2002140461 A1		03-10-2002
		US 2002122438 A1		05-09-2002
		US 2002118704 A1		29-08-2002
US 6552616	B1 22-04-2003	NONE		
US 3989931	A 02-11-1976	NONE		

# INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2004/001154

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES  
IPK 7 H03L7/085 H03D13/00

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK  
B. RECHERCHIERTE GEBIETE

Recherchierte Mindestprästoff (Klassifikationssystem und Klassifikationssymbole)  
IPK 7 H03L H03D

Recherchierte aber nicht zum Mindestprästoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)  
EPO-Internal

## C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie <sup>a</sup>	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 283 275 A (FUJITSU LTD) 21. September 1988 (1988-09-21) Spalte 5, Zeile 30 -Spalte 9, Zeile 40 ---	1-12
X	US 2002/118006 A1 (ENAM SYED K ET AL) 29. August 2002 (2002-08-29) Absatz '0114! - Absatz '0124! ---	1-12
P, X	US 6 552 616 B1 (LAI DAVID ET AL) 22. April 2003 (2003-04-22) das ganze Dokument ---	1-12
A	US 3 989 931 A (PHILLIPS DONALD E) 2. November 1976 (1976-11-02) das ganze Dokument -----	

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

<sup>a</sup> Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" Älteres Dokument, das jedoch erst am oder nach dem Internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erforderlicher Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erforderlicher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

Absendedatum des internationalen Recherchenberichts

19. Mai 2004

03/06/2004

Name und Postanschrift der Internationalen Recherchenbehörde  
Europäisches Patentamt, P.B. 5818 Patenttaan 2  
NL - 2280 HV Rijswijk  
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,  
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Kahn, K-D

**INTERNATIONALER RECHERCHENBERICHT**

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2004/001154

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
EP 0283275	A	21-09-1988	JP	2608555 B2		07-05-1997
			JP	63229912 A		26-09-1988
			DE	3850793 D1		01-09-1994
			DE	3850793 T2		24-11-1994
			EP	0283275 A2		21-09-1988
			KR	9103028 B1		15-05-1991
			US	4904948 A		27-02-1990
US 2002118006	A1	29-08-2002	AU	6815501 A		17-12-2001
			AU	7520001 A		11-12-2001
			WO	0195552 A2		13-12-2001
			WO	0193491 A2		06-12-2001
			US	2002114416 A1		22-08-2002
			US	2002109552 A1		15-08-2002
			US	2002138540 A1		26-09-2002
			US	2002124030 A1		05-09-2002
			US	2003038681 A1		27-02-2003
			US	2002109527 A1		15-08-2002
			US	2002136340 A1		26-09-2002
			US	2002135403 A1		26-09-2002
			US	2002118043 A1		29-08-2002
			US	2002122443 A1		05-09-2002
			US	2002109553 A1		15-08-2002
			US	2002097682 A1		25-07-2002
			US	2002140439 A1		03-10-2002
			US	2002141515 A1		03-10-2002
			US	2002140461 A1		03-10-2002
			US	2002122438 A1		05-09-2002
			US	2002118704 A1		29-08-2002
US 6552616	B1	22-04-2003	KEINE			
US 3989931	A	02-11-1976	KEINE			